

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0059

Applicant: Hee Bok KANG

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: Concurrently Herewith

Art Unit: Unassigned

Title: RESET SIGNAL GENERATING CIRCUIT

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2003-0034709 filed May 30, 2003

Respectfully submitted,

Date: 12/15/03

By Johnny A. Kumar
Johnny A. Kumar

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

Attorney for Applicant
Registration No. 34,649
Customer No. 26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0034709
Application Number

출원 년 월 일 : 2003년 05월 30일
Date of Application MAY 30, 2003

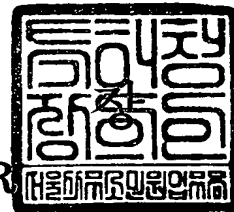
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.05.30
【국제특허분류】	H01L
【발명의 명칭】	리셋신호 발생회로
【발명의 영문명칭】	Reset signal generating circuit
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	황의인
【대리인코드】	9-1998-000660-7
【포괄위임등록번호】	2003-017010-4
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	2003-017011-1
【발명자】	
【성명의 국문표기】	강희복
【성명의 영문표기】	KANG,Hee Bok
【주민등록번호】	650205-1457241
【우편번호】	302-763
【주소】	대전광역시 서구 도마2동 경남아파트 109-203
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 황의인 (인) 대리인 이정훈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 9 면 9,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 11 항 461,000 원

【합계】 499,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통 -.

【요약서】**【요약】**

본 발명은 리셋신호 발생회로를 제공한다.

본 발명의 리셋신호 발생회로는 전원감지 안정화부, 풀업 구동부, 전압 조정부, 피드백 제어부, 풀업 제어부, 셀프 풀업 바이어스부 및 셀프 바이어스부를 구비하여, 파워 업 슬로프와 상관없이 전원전압이 일정 레벨에 도달하는 경우에만 리셋신호를 발생시키며, 더욱이 온도 보상 회로를 구비하여 온도 변화에 따른 전압 조정부의 동작 특성 변화를 보상해주어 온도 변화에 따른 리셋신호 발생이 불안정해지는 것을 최소화해준다.

【대표도】

도 5

【명세서】**【발명의 명칭】**

리셋신호 발생회로{Reset signal generating circuit}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 리셋회로의 구성을 나타내는 회로도.

도 2는 전원전압이 빠른 기울기로 증가하는 경우에 리셋신호가 발생하는 모습을 나타내는 타이밍도.

도 3은 전원전압이 느린 기울기로 증가하는 경우에 리셋신호가 발생하는 모습을 나타내는 타이밍도.

도 4는 NMOS/PMOS 트랜지스터의 온도 특성을 나타내는 도면.

도 5는 본 발명의 제 1 실시예에 따른 리셋회로의 구성을 나타내는 회로도.

도 6은 도 5의 리셋신호 발생부의 동작 파형도.

도 7은 본 발명의 제 2 실시예에 따른 리셋회로의 구성을 나타내는 회로도.

도 8a는 본 발명의 제 3 실시예에 따른 리셋회로의 구성 중 온도 보상 회로 영역 만을 나타낸 회로도.

도 8b는 도 8a의 온도보상회로의 온도 특성을 나타내는 도면.

도 9는 본 발명에 따른 온도 보상 회로(81)의 구성을 나타내는 회로도.

도 10a는 본 발명의 제 4 실시예에 따른 리셋회로의 구성 중 온도 보상 회로 영역 만을 나타낸 회로도.

도 10b는 도 10a의 온도보상회로의 온도 특성을 나타내는 도면.

도 11은 본 발명에 따른 온도 보상 회로(81)의 구성을 나타내는 회로도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 파워업 리셋회로에 관한 것으로서, 보다 상세하게는 리셋 신호를 파워 업 슬로프의 변화와 리셋 회로에 가해지는 온도변화에 둔감하게 함으로써 동작의 안정성을 개선시킨 파워 업 리셋 회로에 관한 것이다.
- <15> 일반적으로 불휘발성 강유전체 메모리 즉, FeRAM(Ferroelectric Random Access Memory)은 디램(DRAM:Dynamic Random Access Memory) 정도의 데이터 처리 속도를 갖으면서 전원의 오프시에도 데이터가 보존되는 특성 때문에 차세대 기억 소자로 주목받고 있다.
- <16> 이러한 FeRAM은 디램과 거의 유사한 구조를 갖는 기억소자으로써, 캐패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류 분극을 이용한 것이다. 이와 같은 잔류 분극 특성으로 인하여 전계를 제거하더라도 데이터가 지워지지 않게 된다.
- <17> 상술된 FeRAM에 관한 기술내용은 본 발명과 동일 발명자에 의해 출원된 출원번호 제 1998-14400호에 개시된 바 있다. 따라서, FeRAM에 관한 기본적인 구성 및 동작원리에 관한 자세한 설명은 생략한다.
- <18> 불휘발성 강유전체 메모리를 기억소자로 사용하는 시스템에서 있어서, 시스템 컨트롤러가 칩 인에이블 신호를 불휘발성 강유전체 메모리 칩으로 출력하면, 메모리 칩 내의 메모리 장

치는 칩 인에이블 신호에 따라 칩의 메모리 셀을 동작시키기 위한 칩 내부 컨트롤 신호를 발생시킨다. 데이터는 이러한 칩 내부 컨트롤 신호에 따라 메모리 셀에 기록되거나 읽혀진다.

<19> 불휘발성 강유전체 메모리를 사용하는 시스템은 불휘발성 강유전체 메모리에 처음 전원 인가시 코드 레지스터에 저장된 데이터를 읽어 들여 다시 셋업해야 할 필요성이 요구된다. 이러한 코드 레지스터 읽기 동작은 파워 온 리셋신호를 이용하도록 구성되어 있다.

<20> 종래 리셋회로는 전압의 파워 온 슬로프(slop)에 의해 리셋신호 발생이 많은 영향을 받도록 구성되어 있었다. 그래서, 리셋신호는 파워 온 슬로프가 완만해지면 낮은 전원 전압에서도 발생하는 문제가 있었다.

<21> 도 1은 종래 기술에 따른 리셋회로의 구성을 나타내는 회로도이다.

<22> 도 1의 리셋회로는 게이트 단자가 접지전압단 VSS에 연결된 PMOS 트랜지스터 T1 및 NMOS 캐패시터 T2가 전원전압단 VCC와 접지전압단 VSS 사이에 직렬로 연결된다. 그리고, 리셋회로는 PMOS 트랜지스터 T1과 NMOS 트랜지스터 T2 사이의 노드에 인가되는 전압을 순차적으로 반져시켜 인버터 체인(INV1, INV2, INV3) 및 인버터 INV 2와 래치를 이루는 PMOS 트랜지스터 T3를 구비한다.

<23> 이러한 리셋회로의 출력신호 RESET의 슬로프는 채널 저항을 갖는 풀업 전류원인 PMOS 트랜지스터 T1과 캐패시터 기능을 수행하는 NMOS 트랜지스터 T2 사이의 RC 딜레이 시간에 의해 결정된다.

<24> 따라서, 메모리 칩이 안정적으로 동작하기 위해서는 파워 업은 일정시간 내에 이루어져야 한다. 그런데, 코드 레지스터에서 어떤 원인으로 인해 파워 업 시간이 일정시간을 넘게 되면, 코드 레지스터에 저장된 데이터는 파괴된다.

- <25> 도 2 및 도 3은 각각 전원전압이 빠른 기울기로 증가하는 경우와 느린 기울기로 증가하는 경우에 리셋신호가 발생하는 모습을 나타내는 타이밍도이다.
- <26> 도 2에 도시된 바와 같이, 전원전압이 빠른 기울기로 접지전압 레벨 VSS에서 전원전압 레벨 VCC로 상승하게 되면, 일정한 전압 이상에서 리셋신호가 발생하게 됨을 알 수 있다.
- <27> 이에 반하여, 도 3에서와 같이 전원전압이 느린 기울기로 서서히 접지전압 레벨 VSS에서 전원전압 레벨 VCC로 상승하게 되면, 도 2의 경우에서 보다 더 많은 시간동안 NMOS 캐패시터 T2가 프리차지 되어 NMOS 캐패시터 T2의 센싱 레벨이 빠르게 높아짐으로써 낮은 전압에서 리셋신호가 발생된다.
- <28> 이처럼, 전원전압의 변화정도에 따라 리셋신호의 발생이 불안정하게 되어 정상 전압보다 낮은 전압에서 코드 레지스터를 동작시키게 될 수 있다. 그렇게 되면 코드 레지스터에 저장된 데이터가 잘못 읽혀지게 되거나 불충분한 상태로 재저장(restore)되는 동작이 수행되어 코드 레지스터에 오류(fail)을 유발할 수 있게 된다.
- <29> 또한, 반도체 소자들은 온도 변화에 따라 그 특성이 변화하게 되는데 이로 인해 리셋신호 발생이 불안정하게 된다.
- <30> 도 4는 NMOS/PMOS 트랜지스터의 온도 특성을 나타내는 도면이다.
- <31> 도 4에서와 같이 온도가 상승하게 되면 NMOS/PMOS 트랜지스터의 문턱전압 $V_{tn}(-V_{tp})$ 값이 감소된다. 이로인해, 낮은 전원 전압에서도 트랜지스터들이 온되어 리셋신호를 발생시킬 수 있게 된다.

【발명이 이루고자 하는 기술적 과제】

<32> 따라서, 상술된 문제를 해결하기 위한 본 발명의 목적은 리셋 신호를 전원전압의 파워업 슬로프와 상관없이 일정 레벨에서 안정되게 발생시키는데 있다.

<33> 본 발명의 다른 목적은 리셋 신호를 온도 변화에 둔감하게 안정적으로 발생시키는데 있다.

【발명의 구성 및 작용】

<34> 위와 같은 목적을 달성하기 위한 본 발명의 리셋회로는 전원전압의 크기를 일정 기간 유지 및 출력하는 전원감지 안정화부; 전원전압을 일정 수준 강하시켜 출력하여 리셋신호의 레벨을 조정하는 전압 조정부; 셀프 바이어스 게이트 전압에 따라 전류공급을 제어하여 상기 리셋 신호 발생후 상기 전압 조정부의 출력을 전원전압 수준으로 풀업시키는 셀프 풀업 구동부; 상기 셀프 풀업 구동부 및 상기 전압 조정부의 출력에 따라 전원전압이 일정 레벨에 도달시 상기 전원감지 안정화부의 출력전압을 풀다운시켜 리셋신호를 발생시키는 피드백 제어부; 상기 셀프 바이어스 게이트 전압을 출력하는 셀프 풀업 바이어스부; 및 특정 셀프 바이어스 게이트 전압 레벨에서 상기 셀프 바이어스 게이트 전압을 강하시키는 셀프 바이어스부를 구비한다.

<35> 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명한다.

<36> 도 5는 본 발명의 제 1 실시예에 따른 리셋회로의 구성을 나타내는 회로도이다.

<37> 본 발명의 리셋회로는 전원감지 안정화부(10), 셀프 풀업 구동부(20), 전압 조정부(30), 피드백 제어부(40), 풀업 제어부(50), 셀프 바이어스부(60) 및 셀프 풀업 바이어스부(70)를 구비한다.

- <38> 전원감지 안정화부(10)는 인가된 전원전압 VCC의 크기를 일정 기간 안정적으로 유지 및 출력한다.
- <39> 이러한 전원감지 안정화부(10)는 전원전압 VCC의 크기를 일정 기간 유지하는 래치회로(11), 래치회로(11)의 제 1 노드 A와 접지전압단 VSS 사이에 연결되어 전원 인가전에 제 1 노드 A를 로우 레벨로 고정시키는 NMOS 캐패시터 N3, 및 래치 인에이블 게이트로서 래치회로(11)의 제 2 노드 B와 접지전압단 VSS 사이에 연결되고 게이트 단자가 래치회로(11)의 출력단자인 제 3 노드 C와 연결되는 NMOS 트랜지스터 N4를 구비한다. 래치회로(11)는 전원전압단 VCC와 노드 B 사이에 직렬 연결되고 각 게이트 단자가 노드 C와 연결되는 PMOS 트랜지스터 P1과 NMOS 트랜지스터 N1, 및 전원전압단 VCC와 노드 B 사이에 직렬 연결되고 각 게이트 단자가 노드 A와 연결되는 PMOS트랜지스터 P2와 NMOS 트랜지스터 N2를 구비한다.
- <40> 셀프 풀업 구동부(20)는 셀프 바이어스 게이트 전압에 따라 노드 D로의 전류 공급을 제어하여 리셋신호 발생 후 노드 D의 전압을 전원전압 수준으로 풀업시킨다. 즉, 셀프 풀업 구동부(20)는 셀프 바이어스 게이트 전압에 따라 전원전압 VCC가 인가된 후 일정 레벨에 도달할 때 까지는 노드 D로의 전류 공급을 억제하고, 일정 레벨 이상시부터 노드 D로 전류를 공급하여 노드 D의 전압을 전원전압 VCC 수준까지 풀업 시킨다.
- <41> 이러한 셀프 풀업 구동부(20)는 전원전압단 VCC와 노드 D 사이에 직렬 연결되고 게이트 단자가 셀프 바이어스 게이트 전압과 공통 연결되는 복수개의 PMOS 트랜지스터들 P5, P6, P7을 구비한다.
- <42> 전압 조정부(30)는 전원전압 VCC이 일정 수준 강하되어 노드 D로 출력되도록 조정하여 리셋신호가 발생하는 전압 레벨을 결정한다. 이러한 전압 조정부(30)는 전압 미세 조정부(31)와 전압 강하부(32)를 구비한다. 전압 강하부(32)는 전원전압을 일정 단위(V_{tn})로 강하시킨다

. 전압 미세 조정부(31)는 MOS 트랜지스터의 채널의 폭(Width)과 길이(Length)의 비(W/L)를 조정하여 전류 흐름을 미세조정함으로써, 전압 강하부(32)에 의한 일정 단위(V_{tn}) 보다 작은 단위로 전압 조정부(30)의 출력전압을 미세 조정한다.

<43> 이러한 전압 조정부(30)는 전원전압단 VCC와 노드 D 사이에 직렬 연결되며 게이트 단자가 각각 접지전압단 및 드레인 단자와 연결되는 PMOS 트랜지스터 P8 및 NMOS 트랜지스터 N6을 구비한다.

<44> 피드백 제어부(40)는 셀프 폴업 구동부(20) 및 전압 조정부(30)의 출력전압에 따라 전원 전압 VCC가 일정 레벨에 도달시 전원감지 안정화부(10)의 출력전압을 풀다운시킨다.

<45> 이러한 피드백 제어부(40)는 노드 D와 접지전압단 VSS 사이에 연결되고 게이트 단자가 노드 C와 연결되는 NMOS 트랜지스터 N7, 노드 C와 접지전압단 VSS 사이에 연결되고 게이트 단자가 노드 D에 연결되는 NMOS 트랜지스터 N8, 및 드레인 단자와 소오스 단자가 노드 D에 공통 연결되고 게이트 단자가 접지전압단 VSS에 연결되는 NMOS 트랜지스터 N8을 구비한다.

<46> 폴업 제어부(50)는 동작 초기 전원감지 안정화부(10)의 출력전압을 전원전압 VCC 수준으로 풀업시키고, 그 출력전압의 변화를 리셋신호로서 출력한다.

<47> 이러한 폴업 제어부(50)는 드레인 단자와 소오스 단자가 전원전압단 VCC에 공통 연결되고 게이트 단자가 노드 C와 연결되는 PMOS 트랜지스터 P3, 노드 C의 신호를 반전 출력하는 인버터 I1, 전원전압단 VCC와 노드 C 사이에 연결되고 게이트 단자가 인버터 I1의 출력 단자와 연결되는 PMOS 트랜지스터 P4, 및 인버터 I1의 출력신호를 반전시켜 리셋신호로 출력하는 인버터 I2를 구비한다.

- <48> 셀프 풀업 바이어스부(60)는 셀프 바이어스 게이트 전압을 출력하여 전원전압 VCC의 상승에 따라 셀프 풀업 구동부(20)의 공통 연결된 게이트단자들의 전압을 풀업시킨다. 셀프 풀업 바이어스부(60)는 전원전압 VCC의 상승과 함께 셀프 풀업 구동부(20) 게이트 전압을 상승시켜, 특정 전원전압 레벨에 도달하기 이전까지 셀프 풀업 구동부(20)에 의한 노드 D로의 전류 공급을 차단시킨다.
- <49> 이러한 셀프 풀업 바이어스부(60)는 소오스 단자와 드레인 단자가 전원전압단 VCC에 공통 연결되고 게이트 단자는 셀프 풀업 구동부(20)의 게이트 단자들과 연결된다.
- <50> 셀프 바이어스부(70)는 셀프 바이어스 게이트 전압이 특정 레벨에 도달하면 리키지 전류를 발생시켜 셀프 바이어스 게이트 전압을 강하시키는 다이오드의 역할을 한다. 셀프 바이어스부(70)에 의해 셀프 바이어스 게이트 전압이 강하되어 셀프 풀업 구동부(20)의 게이트 전압이 강하되면, 셀프 풀업 구동부(20)에 의한 노드 D로의 전류 공급이 개시되어 노드 D의 전압을 서서히 전원전압 VCC 수준까지 풀업시키게 된다.
- <51> 이러한 셀프 바이어스부(70)는 셀프 풀업 구동부(20)의 공통 연결된 게이트 단자와 접지 전압단 VSS 사이에 연결되며 게이트 단자가 소오스 단자와 공통 연결된 NMOS 트랜지스터 N10을 구비한다.
- <52> 도 6은 도 5의 리셋신호 발생부의 동작 파형도로, 도 6을 이용하여 본 발명의 리셋신호 발생부의 동작을 보다 상세하게 설명한다.
- <53> 동작 초기, 노드 A는 NMOS 트랜지스터 N3에 의해 로우 레벨로 고정된다. 노드 C의 전압은 CMOS 래치회로의 PMOS 트랜지스터 P2에 의해 전원전압이 증가하면 노드 C로 전류 유입이 증가하여 전원전압의 상승에 따라 상승하게 된다.

- <54> 노드 C의 전압이 상승하여 래치 인에이블 게이트인 NMOS 트랜지스터 N4가 온 되면 노드 A는 안정적으로 로우레벨을 유지하고 노드 C는 전원전압의 상승에 따라 하이 레벨을 유지한다. 또한, 노드 C의 하이 레벨로 인해 NMOS 트랜지스터 N7도 온 되어 노드 D는 안정적으로 로우 레벨이 된다.
- <55> 본 발명에서의 리셋신호는 노드 C의 전압 변화에 의해 발생되고 노드 C의 전압 변화는 노드 D의 전압에 의해 결정된다. 따라서, 본 발명에서는 전원전압이 리셋신호를 발생시킬 일정 레벨에 도달할 때 까지 노드 D의 전압을 안정적으로 로우 레벨로 유지시키는 것이 중요하다.
- <56> 노드 D의 전압은 초기에는 NMOS 트랜지스터 N9 및 N7에 의해 로우 레벨이 유지되나, 전원전압이 서서히 증가하면서 그 크기는 피드백 제어부(40)에 의해 누출되는 전류와 셀프 풀업 구동부(20) 및 전압 조정부(30)에 의해 유입되는 전류에 의해 결정된다.
- <57> 전원전압 VCC가 서서히 증가하게 되면서 전압 조정부(30)에 의해 노드 D로 흘러 들어오는 전류 레벨은 증가하게 된다. 전압 조정부(30)는 전원전압 VCC의 상승에 따라 노드 D에 전원전압 VCC에서 일정 전압 만큼 강하된 전압이 형성되도록 한다. 즉, 전압 강하 조정부(31)는 전원전압 VCC를 일정 단위 V_{tn} 으로 강하시키고, 전압 미세 조정부(31)는 PMOS 트랜지스터 P8의 W/L 를 조정하여 일정 단위 V_{tn} 사이의 전압치로 노드 D의 전압을 미세하게 조정해준다.
- <58> 그런데, 전원전압 VCC가 일정 레벨에 도달하기 전까지는, 노드 D의 전압은 전압 조정부(30)에 의한 전류만 공급되므로 피드백 제어부(40)에 의한 전류 누출로 그 크기는 로우 레벨을 유지하여 NMOS 트랜지스터 N8을 오프 상태로 유지시킨다.

- <59> 전원전압 VCC가 증가하여 전압 조정부(30)에 의한 전류공급과 셀프 풀업 구동부(20)에 의한 전류 공급이 피드백 제어부(40)에 의한 누출보다 많아지면 노드 D의 전압은 하이 레벨로 천이된다. 이로인해, NMOS 트랜지스터 N8이 온되어 노드 C의 전압이 풀다운 된다. 노드 C가 풀다운 됨으로써 풀업 제어부(50)는 리셋신호를 발생시킨다. 노드 C가 풀다운 되면 NMOS 트랜지스터 N7에 의한 전류 누출이 차단되고 셀프 풀업 구동부(20)에 의한 전류 공급이 개시되어 노드 D의 전압은 보다 안정적으로 하이 레벨을 유지하게 된다.
- <60> 리셋신호가 발생된 후에는 리셋신호의 안정화를 위해 노드 D의 전압을 전원전압 수준까지 풀업시킬 필요가 있는데 셀프 풀업 구동부(20)가 이 역할을 수행한다.
- <61> 셀프 풀업 구동부(20)로써 전원전압단과 노드 D 사이에서 게이트 단자가 공통 접지되는 PMOS 트랜지스터들을 직렬 연결하게 되면, 동작 초기 전원전압의 상승과 함께 PMOS 트랜지스터들 P5, P6, P7에 의한 리키지 전류로 인해 노드 D의 전압이 상승할 수 있게 된다. 이로인해, 낮은 전원전압에서도 노드 C의 전압을 풀업시켜 리셋신호가 발생할 수 있게 된다.
- <62> 따라서, 동작 초기 노드 D의 전압을 안정되게 로우 레벨로 유지시키기 위해, 본 발명에서는 전원전압 VCC이 일정 레벨에 도달할 때까지는 전원전압 VCC가 상승하여도 셀프 풀업 구동부(20)에 의한 노드 D로의 전류공급을 차단하기 위해 셀프 풀업 바이어스부(60) 및 셀프 바이어스부(70)를 구비한다.
- <63> 셀프 풀업 바이어스부(60)는 NMOS 캐패시터로서 전원전압 VCC를 PMOS 트랜지스터 P5, P6, P7의 게이트 단자들로 인가한다. 즉, 전원전압 VCC이 상승시 MOS 트랜지스터 P5, P6, P7의 게이트 전압도 함께 상승시켜, PMOS 트랜지스터 P5, P6, P7에 의한 노드 D로의 전류 공급을 차단시킨다. 그러나, 전원전압 VCC가 상승하여 셀프 바이어스 게이트 전압이 특정 레벨에 도달하면 셀프 바이어스부(70)에 의한 리키지 전류로 인해 PMOS 트랜지스터 P5, P6, P7의 게이트

단자들의 전압이 점점 다운되게 된다. 이로인해, PMOS 트랜지스터 P5, P6, P7에 의한 노드 D로의 전류 공급이 개시되어 노드 D의 전압이 급속히 상승하게 된다. 이로써 NMOS 트랜지스터 N8이 온되어 노드 C의 전압을 풀다운 시켜 리셋신호를 발생시키게 된다. 더욱이, 노드 C의 풀다운으로 NMOS 트랜지스터 N7이 오프되어 노드 D의 전압은 보다 안정적으로 하이 레벨을 유지하게 된다.

- <64> 노드 D는 전원전압의 상승이 시작되기 전에는 로드용 NMOS 캐패시터 N9에 의해 로우 레벨을 유지하게 되는데 이는 NMOS트랜지스터 N8을 동작 초기에 오프 시키기 위함이다.
- <65> 도 7은 본 발명의 제 2 실시예에 따른 리셋회로의 구성을 나타내는 회로도이다.
- <66> 도 7은 도 5의 구성에서 셀프 폴업 바이어스부(61) 및 셀프 바이어스부(71)로 각각 다이오드 D1 및 D2를 사용한 경우이다. 이외 다른 구성요소들은 도 5와 동일하여 동일한 참조번호를 사용하였으며, 동작원리는 도 5에서와 동일하므로 이에 대한 상세한 설명은 생략한다.
- <67> 한편, 상술된 실시예에 의한 리셋회로에 있어서도 주위의 온도 변화로 인해 소자의 온도가 높아지면 리셋신호 발생에 영향을 줄 수 있게된다. 즉, 일반적으로 온도가 상승하면 도 4에서의 온도특성과 같이 NMOS/PMOS 트랜지스터들의 문턱전압 $V_{tn}(-V_{tp})$ 이 변화하게 된다. 이로 인해, 낮은 전원전압에서도 전압 조정부(30)에 의한 노드 D로의 전류공급이 많아져 리셋신호가 발생할 수 있게 된다.
- <68> 따라서, 본 발명에서는 온도변화에 따른 트랜지스터의 동작 특성 변화를 보상해주는 온도 보상 회로의 보완이 제작자의 의도에 따라 선택적으로 구성될 수 있다.

- <69> 이에 대하여 본 발명의 제 3 실시예로써, 리셋회로의 구성 중 온도 보상 회로가 도 8a와 같이 예시될 수 있으며, 도 8a는 온도 보상 회로 영역 만(전압 조정부)을 나타낸 회로도이다. 이외 다른 구성요소들은 도 5 또는 도 7의 해당 구성요소들과 동일하다.
- <70> 제 3 실시예에서는 설명의 편의를 위해 전압 조정부(31)를 적어도 하나의 PMOS 트랜지스터들 P10, P11이 전원전압단과 노드 D 사이에 병렬 연결되어 있는 경우로 한다.
- <71> 온도 보상부(80)는 온도변화에 따라 전압 조정부(31)의 게이트 전압을 가변시켜 전압 조정부(31)에 의한 전류 공급이 온도변화에 의한 영향이 최소화되도록 해준다. 즉, 온도가 상승하여 PMOS 트랜지스터 P10, P11의 문턱전압 V_{tp} 이 높아지면 도 8b에서와 같이 온도 보상 회로(81, 82)의 출력전압을 높여주어 PMOS 트랜지스터 P10, P11의 게이트 단자로 인가한다.
- <72> 도 8a에서 전압 조정부(31)로 복수개의 PMOS 트랜지스터들 P10, P11을 전원전압 VCC와 노드 D 사이에 병렬 연결하고, 온도 보상부(80)로 복수개의 온도 보상 회로(81, 82)를 구비하여 각 PMOS 트랜지스터 P10, P11에 대응시키는 것은, 파라미터를 변화시켜 보다 미세한 온도 조정이 이루어질 수 있도록 하기 위함이다.
- <73> 도 9는 본 발명에 따른 온도 보상 회로(81)의 구성을 나타내는 회로도이다.
- <74> 온도 보상 회로들(81, 82)의 구성은 동일하므로 이들 중 하나에 대해서만 설명한다.
- <75> 본 실시예의 온도 보상 회로(81)는 온도감지 전압 강하부(811), 전압 안정화부(812) 및 전압 프리차지부(813)를 구비한다.
- <76> 온도감지 전압 강하부(811)는 온도 변화에 따라 전원전압 VCC를 가변되게 강하시켜 노드 E로 출력한다. 이러한 온도감지 전압 강하부(811)는 게이트와 드레인이 공통 연결된 NMOS 트랜지스터 N11, N12가 전원전압단 VCC와 노드 E 사이에 직렬 연결된다.

- <77> 전압 안정화부(812)는 동작 초기 노드 E를 안정되게 접지전압 VSS 레벨로 만들어준다. 이러한 전압 안정화부(812)는 드레인과 소오스가 공통 접지되고 게이트가 노드 E와 연결된 NMOS 트랜지스터 N13을 구비한다.
- <78> 전압 프리차지부(813)는 프리차지시 전원전압 VCC가 다운되어 PMOS 트랜지스터 P10의 게이트 전압이 접지전압과 같아지면 노드 E를 풀다운시킨다. 이러한 전압 프리차지부(813)는 노드 E와 접지전압 VCC 사이에 연결되고 게이트가 전원전압 VCC와 연결되는 PMOS 트랜지스터 P13을 구비한다.
- <79> 동작 초기에는 전압 안정화부(812)에 의해 노드 E가 접지전압으로 안정화된 후, 전원전압이 상승하게 되면 온도감지 전압 강하부(811)는 전원전압 VCC를 $2V_{tn}$ 만큼 다운시켜 출력한다. 그런데, 온도가 높아지면 도 4에서와 같이 PMOS 트랜지스터 P10의 문턱전압 V_{tp} 가 상승하게 되어 전압 조정부(31)에 의해 노드 D로 인가되는 전류의 양이 줄어들게 된다.
- <80> 그러나, 온도의 상승으로 온도감지 전압 강하부(811)의 NMOS 트랜지스터들 N11, N12의 문턱전압 V_{tn} 도 낮아지므로 노드 E의 전압 즉 PMOS 트랜지스터 P10의 게이트 전압이 상승하게 된다. 즉, 본 발명의 온도 보상 회로(81)는 온도 상승에 따라 전압 조정부(31)의 PMOS 트랜지스터 P10의 문턱전압 V_{tp} 가 상승하면 그 게이트 전압도 상승시켜 온도 상승에 따른 전압 조정부(31)의 특성 변화를 보상해주게 된다.
- <81> 이로써 노드 D의 전압은 온도변화에 따른 영향이 최소화되어 리셋신호를 안정적으로 출력할 수 있게 된다.

- <82> 또 한편, 본 발명의 제 3 실시예에 대응되는 제 4 실시예에 따른 리셋회로의 구성 중 온도 보상 회로 영역 만(전압 조정부)을 나타낸 회로도도 도 10a와 같이 개시된다. 이외 다른 구성요소들은 도 5 또는 도 7의 해당 구성요소들과 동일하다.
- <83> 본 실시예에서는 도 8a에서와 달리 전압 조정부(31)로 적어도 하나의 NMOS 트랜지스터들 N14, N15이 전원전압단과 노드 D 사이에 병렬 연결되어 있는 경우를 설명한다.
- <84> 온도가 상승하면 NMOS 트랜지스터 N14, N15의 문턱전압 V_{tn} 이 낮아져 낮은 전원전압에서도 전압 조정부(32)에 의한 노드 D로의 전류 공급이 많아져 리셋신호가 낮은 전원전압에서 발생하게 된다.
- <85> 이러한 경우 도 10b에서와 같이 온도 보상 회로(91)의 출력전압을 낮추어 NMOS 트랜지스터 N14, N15의 게이트 단자로 인가한다.
- <86> 도 10a에서 온도 보상부(90)로 복수개의 온도 보상 회로(91, 92)를 구비하여 병렬 연결된 복수개의 PMOS 트랜지스터 P10, P11에 대응시키는 것은, 파라미터를 변화시켜 보다 미세한 온도 조정이 이루어질 수 있도록 하기 위함이다.
- <87> 도 11은 본 실시예에 따른 온도 보상 회로(91)의 구성을 나타내는 회로도이다.
- <88> 본 실시예의 온도 보상 회로(91)는 도 9에서 온도감지 전압 강하부(811)를 PMOS 트랜지스터 P14, P15로 구성한 것이며, 이외의 구성요소들은 도 9와 동일하여 동일한 참조부호를 사용하고 그 동작 설명은 생략한다.
- <89> 즉, 본 실시예의 온도 감지 전압 강하부(911)는 게이트와 드레인이 공통 연결된 PMOS 트랜지스터들 P14, P15가 전원전압단 VCC와 노드 F 사이에 직렬 연결된다.

- <90> 본 실시예에서, 온도가 상승하여 도 4에서와 같이 전압 조정부(32)의 NMOS 트랜지스터 N14의 문턱전압 V_{tn} 이 낮아지면 전압 조정부(32)에 의해 노드 D로 인가되는 전류의 양이 줄어들게 된다.
- <91> 그러나, 온도의 상승으로 온도감지 전압 강하부(911)의 PMOS 트랜지스터들 P14, P15의 문턱전압 V_{tp} 이 높아져 노드 E의 전압 즉 NMOS 트랜지스터 N14의 게이트 전압도 낮아지게 된다. 즉, 본 발명의 온도보상 회로(91)는 온도 상승에 따라 전압 조정부(32)의 NMOS 트랜지스터 P14의 문턱전압 V_{tn} 이 낮아지면 출력전압도 낮아지도록 구성하여 온도 상승에 따른 소자의 특성 변화를 보상해주게 된다.

【발명의 효과】

- <92> 상술한 바와 같이, 본 발명의 리셋회로는 파워 업 슬로프와 상관없이 전원전압이 일정한 레벨에 도달하는 경우에만 리셋신호를 안정적으로 발생시킨다.
- <93> 더욱이, 본 발명의 리셋회로는 온도 보상 회로를 구비하여 리셋 회로에 가해지는 온도 변화에 의해 리셋 회로를 구성하는 소자들의 동작 특성 변화에 따른 리셋 신호 발생의 불안정성을 최소화시킴으로써 안정되게 리셋신호를 발생시킨다.

【특허청구범위】**【청구항 1】**

전원전압의 크기를 일정 기간 유지 및 출력하는 전원감지 안정화부;

전원전압을 일정 수준 강하시켜 출력하여 리셋신호의 레벨을 조정하는 전압 조정부;

셀프 바이어스 게이트 전압에 따라 전류공급을 제어하여 상기 리셋신호 발생후 상기 전압 조정부의 출력을 전원전압 수준으로 풀업시키는 셀프 풀업 구동부;

상기 셀프 풀업 구동부 및 상기 전압 조정부의 출력에 따라 전원전압이 일정 레벨에 도달시 상기 전원감지 안정화부의 출력전압을 풀다운시켜 리셋신호를 발생시키는 피드백 제어부;

상기 셀프 바이어스 게이트 전압을 출력하는 셀프 풀업 바이어스부; 및

특정 셀프 바이어스 게이트 전압 레벨에서 상기 셀프 바이어스 게이트 전압을 강하시키는 셀프 바이어스부를 구비하는 리셋신호 발생회로.

【청구항 2】

제 1 항에 있어서,

동작 초기 상기 전원감지 안정화부의 출력을 풀업시키고 상기 전원감지 안정화부의 출력전압을 리셋신호로서 출력하는 풀업 제어부를 더 구비하는 것을 특징으로 하는 리셋신호 발생회로.

【청구항 3】

제 1 항 또는 제 2 항에 있어서, 상기 전압 조정부는

전원전압을 일정 전압 단위로 강하시키는 전압 강하부; 및

상기 일정 단위 이하의 단위로 상기 전압 강하부의 출력을 조정하는 전압 미세 조정부를 구비하는 것을 특징으로 하는 리셋신호 발생회로.

【청구항 4】

제 1 항 또는 제 2 항에 있어서, 상기 셀프 풀업 구동부는

상기 특정 셀프 바이어스 게이트 전압 레벨 이전에는 전류 공급을 억제하고, 상기 특정 셀프 바이어스 게이트 전압 레벨 이후에는 전류공급을 개시하여 상기 전압 조정부의 출력을 풀업시키는 것을 특징으로 하는 리셋신호 발생회로.

【청구항 5】

제 4 항에 있어서, 상기 셀프 풀업 바이어스부는

전원전압 값을 상기 셀프 바이어스 게이트 전압으로 출력하는 것을 특징으로 하는 리셋신호 발생회로.

【청구항 6】

제 5 항에 있어서, 상기 셀프 풀업 바이어스부는

모스캐패시터 또는 다이오드 중 어느 하나인 것을 특징으로 하는 리셋신호 발생회로.

【청구항 7】

제 1 항 또는 제 2 항에 있어서,

온도 변화에 의한 상기 전압 조정부의 출력 변화를 보상하기 위해 온도 변화에 따라 크기가 가변하는 제어신호를 상기 전압 조정부에 인가하는 온도 보상 회로를 더 구비하는 것을 특징으로 하는 리셋신호 발생회로.

【청구항 8】

제 7 항에 있어서,

상기 전압 조정부는 적어도 하나의 MOS 트랜지스터들이 병렬 연결되어 구성되는 것을 특징으로 하는 리셋신호 발생회로.

【청구항 9】

제 8 항에 있어서, 상기 온도 보상 회로는

상기 MOS 트랜지스터들의 타입에 따라 온도 변화에 비례 또는 반비례하여 변화하는 전압 값을 상기 MOS 트랜지스터들의 게이트 단자로 인가하는 것을 특징으로 하는 리셋신호 발생회로.

【청구항 10】

제 9 항에 있어서, 상기 온도 보상 회로는

상기 MOS 트랜지스터가 PMOS 트랜지스터이면, 온도 변화에 비례하는 출력전압을 상기 PMOS 트랜지스터들의 게이트 단자로 인가하고,

상기 MOS 트랜지스터가 NMOS 트랜지스터이면, 온도 변화에 반비례하는 출력전압을 상기 NMOS 트랜지스터들의 게이트 단자로 인가하는 것을 특징으로 하는 리셋신호 발생회로.

【청구항 11】

제 10 항에 있어서, 상기 온도 보상 회로는

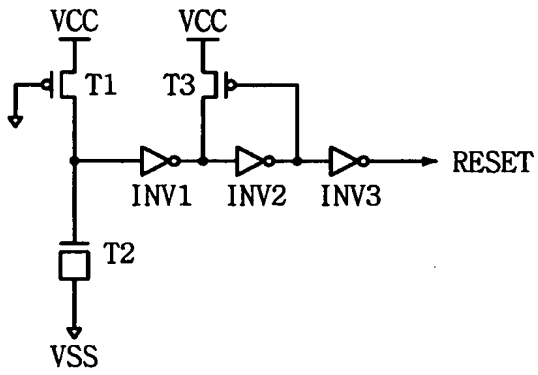
온도 변화에 따라 가변되게 전원전압을 강하시켜 상기 전압 조정부로 출력하는 온도감지 전압 강하부;

동작 초기 상기 온도감지 전압 강하부의 출력을 접지시켜 안정화하는 전압 안정화부; 및
프리차지시 상기 온도감지 전압 강하부의 출력을 풀다운시키는 전압 프리차지부를 구비
하는 것을 특징으로 하는 리셋신호 발생회로.

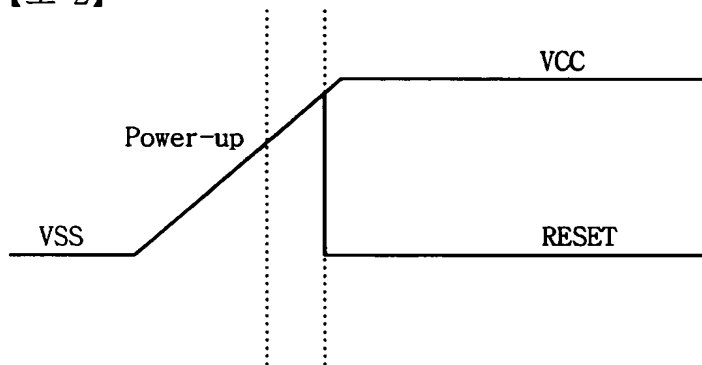


【도면】

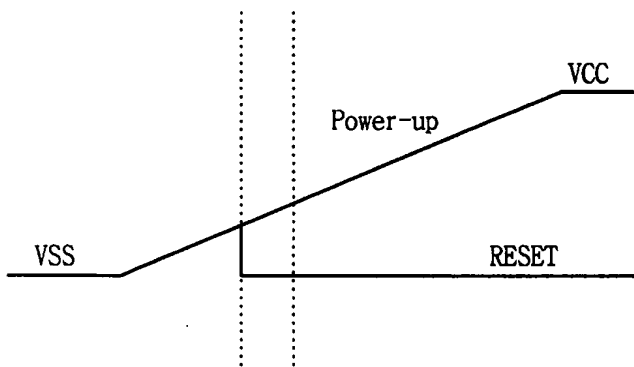
【도 1】



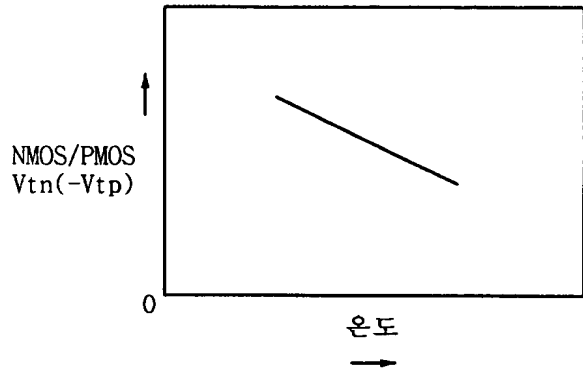
【도 2】



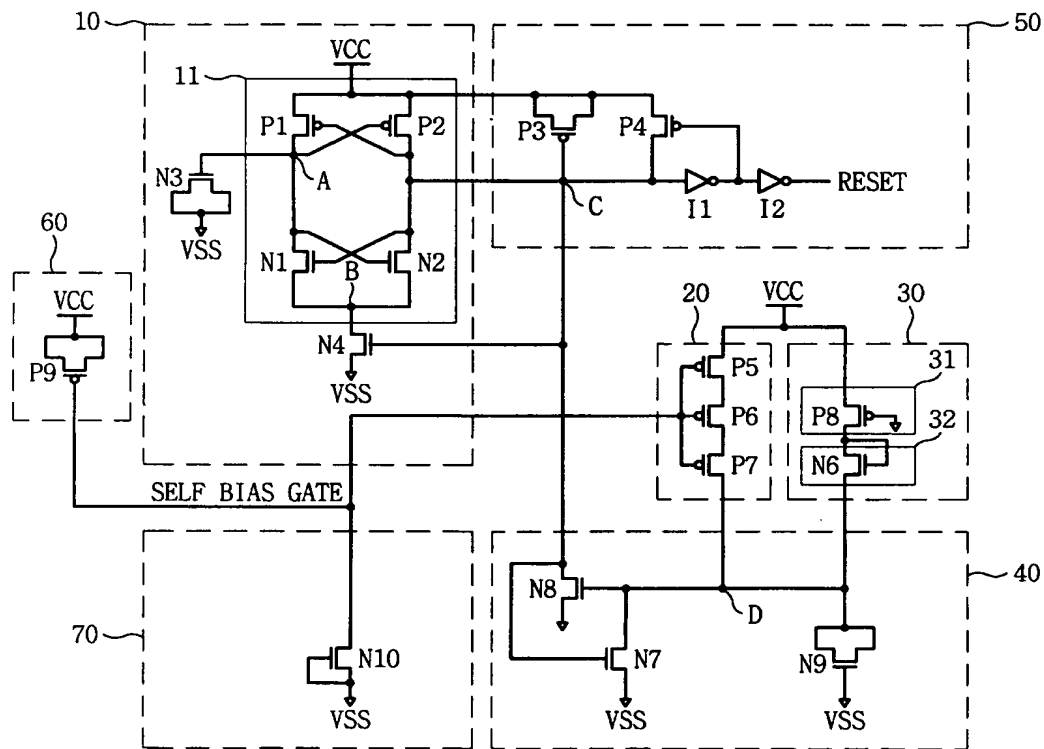
【도 3】



【도 4】



【도 5】

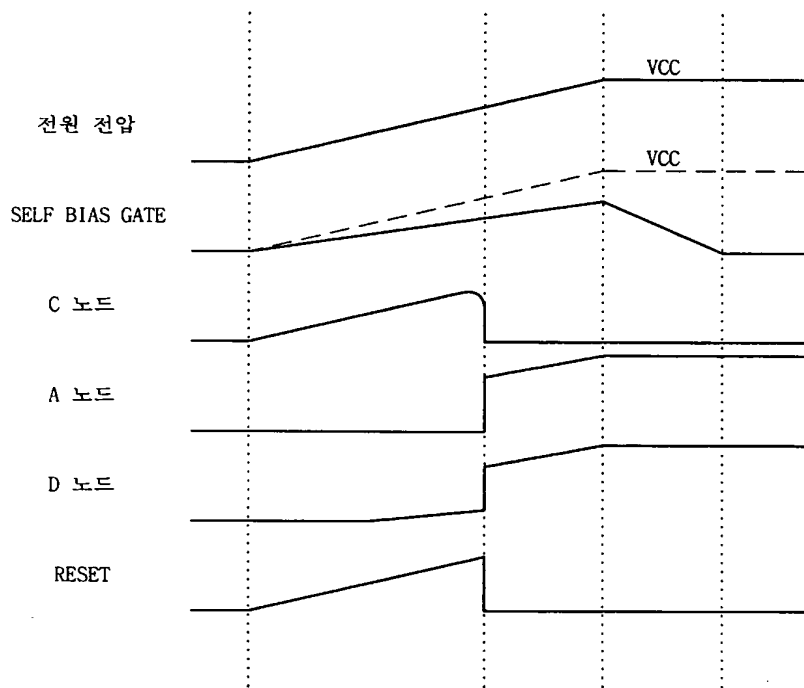




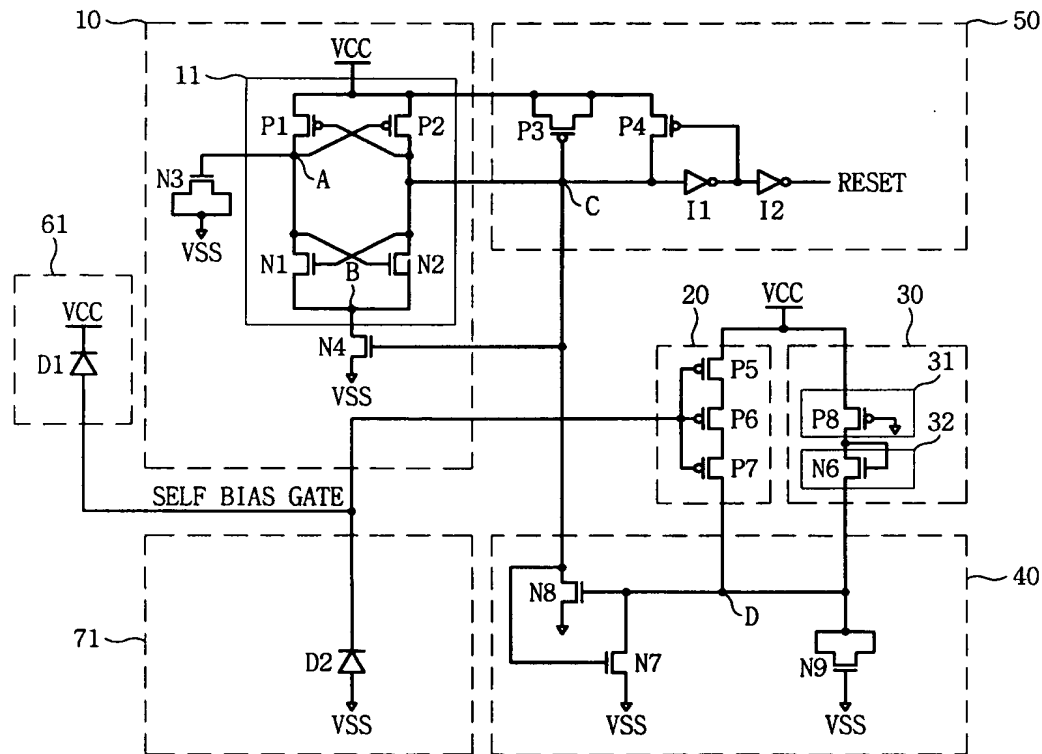
1020030034709

출력 일자: 2003/10/14

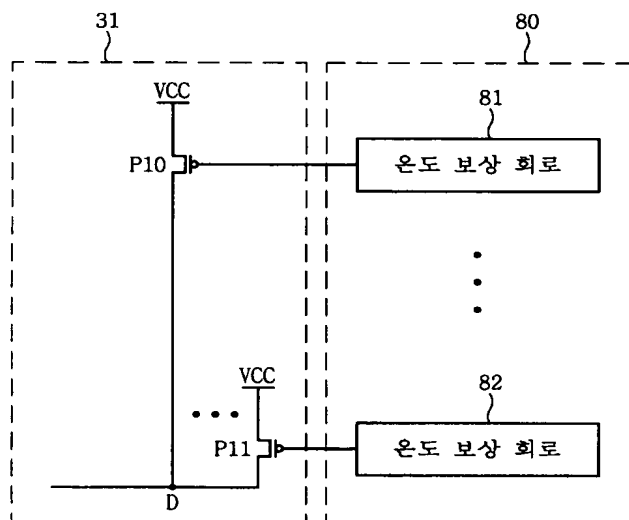
【도 6】



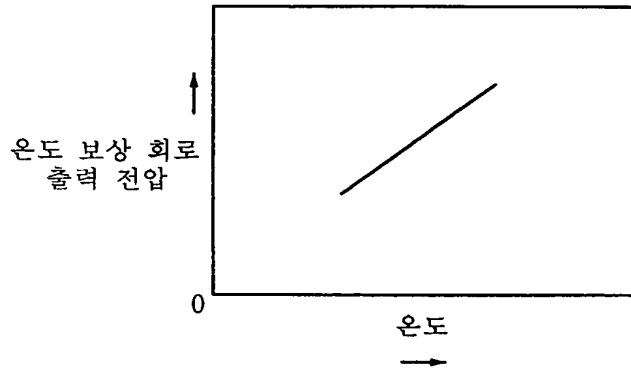
【도 7】



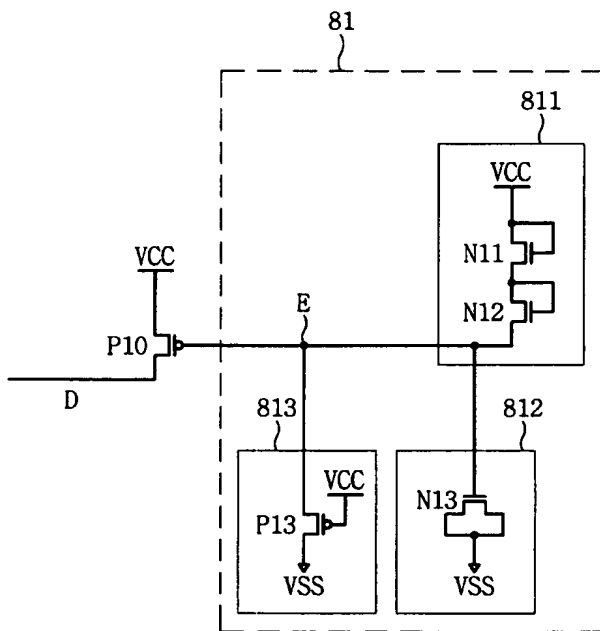
【도 8a】



【도 8b】

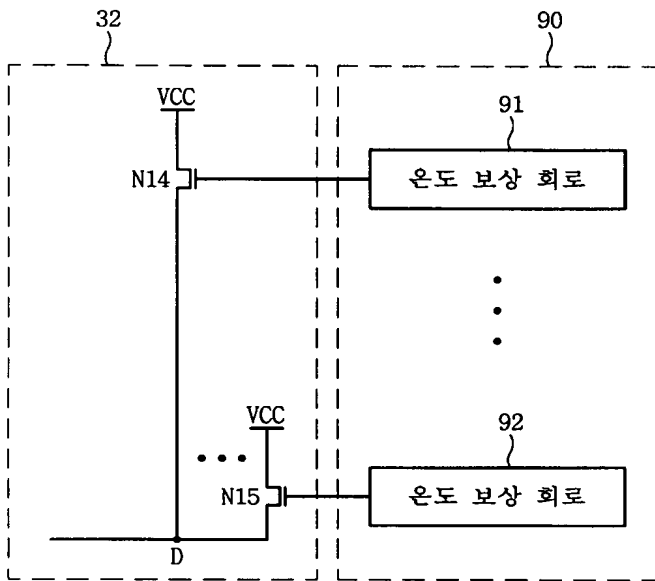


【도 9】

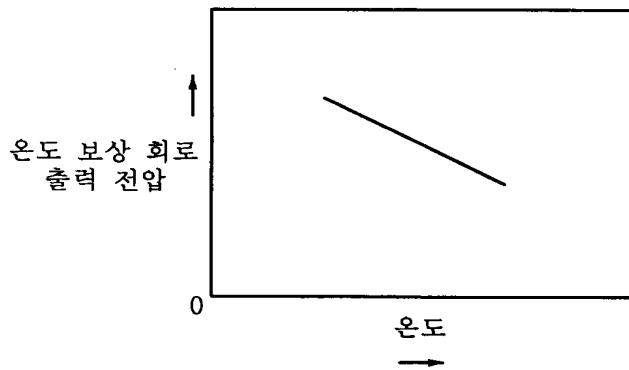




【도 10a】



【도 10b】



【도 11】

